

FPGA 通用验证平台建立方法研究

吕欣欣, 刘淑芬

(北京控制工程研究所, 北京 100190)

摘 要: 现场可编程门阵列(Field Programmable Gate Array, FPGA)的设计可靠性直接影响产品的可靠性, 因此必须对 FPGA 设计进行高效和充分的验证. 对传统功能仿真验证进行了分析, 从验证方法和方法学角度阐述了验证平台的发展趋势, 提出并实现了一种层次化的通用验证平台, 利用该平台对两个被测设计(Design Under Test, DUT)进行验证. 验证结果表明, 该方法建立起的验证平台具备一定的通用性, 可有效提高验证覆盖率和验证效率.

关键词: FPGA; 验证平台; 验证方法学; 通用

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2010)05-0046-04

Study of Establishing a General Purpose Verification Platform for FPGA

LV Xin-xin, LIU Shu-fen

(Beijing Institute of Control Engineering, Beijing 100190, China)

Abstract: The reliability of circuitry implemented on FPGAs (Field Programmable Gate Arrays) affects the critical mission life directly. FPGAs design should be thoroughly verified in order to meet the requirement of high reliability. This paper analyzed traditional function verification and described the development of verification techniques and methodologies. We proposed and implemented a layered general purpose verification platform which is utilized to verify two DUT. The verification results exhibit that our platform is suitable for diverse applications and enhances the coverage and efficiency.

Key words: FPGA; verification platform; verification methodology; general purpose

1 引言

随着 FPGA 设计规模的不断增大和复杂度的上升, 在应用中发生的故障可能性也随之提高. 确保 FPGA 设计的正确性已成为保证产品高可靠性的关键.

验证是证明设计能正确实现其功能的过程, 它贯穿于整个设计流程, 是保证 FPGA 设计质量的有效手段之一. 在 FPGA 设计过程中, 验证工作约占整个项目工作量的 60%~80%. 传统的功能仿真验证由于存在难以达到预期覆盖率、验证效率低、通用性差等缺点, 已经越来越难以满足日益增长的 FPGA 设计要求.

文中在分析传统功能仿真验证的基础上, 对通用验证平台建立方法进行研究, 结合先进的验证方法和验证方法学, 提出并实现了一种层次化的通用

验证平台, 该验证平台具备一定的通用性, 可有效提高验证覆盖率和验证效率.

2 传统功能仿真验证

传统功能仿真验证是对 FPGA 设计代码是否符合设计规范说明中的功能要求的检查, 验证的主要流程如图 1 所示. 在制定验证计划并确定要验证的功能点之后, 采用硬件描述语言对 DUT 编写定向测试用例, 在验证过程中通过观察输出波形来判断所设计的功能是否正确.

传统功能仿真验证的缺点主要表现在以下几个方面:

(1) 采用硬件描述语言对 DUT 的每个功能编写定向测试用例, 开发周期长, 不可能穷尽所有的输入组合. 当 DUT 变得越来越复杂时, 仿真时间和速度难以忍受且无法达到满意的验证覆盖率.

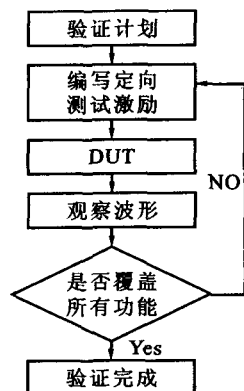


图1 传统功能仿真验证流程

(2) 在验证过程中需要验证人员根据仿真波形对结果进行判读。这种方式不仅验证效率低而且很难避免人为因素导致的错误。

(3) 测试床程序直接用测试激励驱动 DUT 的引脚信号,抽象层次低,测试床程序的开发与设计的

表1 五种验证方法学比较

五个方面	RVM	VMM	AVM	UVM	OVM
方法学侧重点	层次化验证	RTL级模块验证和系统级验证	强调软件架构和软件技术	强调系统级设计和验证	强调开源和不同仿真器之间的透明性
EDA验证工具环境	Discovery验证平台	Discovery验证平台	Questa验证平台	Incisive验证平台	支持不同工具
主要支持的验证语言	OpenVera	SystemVerilog	SystemC/ SystemVerilog	E	SystemVerilog
最高的抽象层次	场景级	场景级	事务级	事务级	事务级
基类库是否开源	否	是	是	否	是

VMM更适用于对FPGA进行模块级验证。尽管VMM基类库于2008年12月正式开源,但其功能繁杂,使用尚具有局限性,因此,用户可灵活开发自己的基类并利用面向对象特性进行扩展。

4 通用验证平台的建立

为了提高验证平台通用性以及验证覆盖率和验证效率,面向实际应用领域,结合VMM验证方法学思想,利用面向对象的验证语言SystemVerilog,以采用层次化结构、统一测试用例格式和提取通用基类三方面入手,建立FPGA通用验证平台,该平台如图2所示^[3-4]。

4.1 采用层次化结构

验证平台要在不同的DUT之间通用,首先验证平台结构要被有效地模块化,使得改变平台各模块变得容易;其次验证平台必须进行明确的层次化定义,清晰地定义层与层之间的接口,保持各层之间有一定的独立性。对FPGA设计所建立的通用验证

接口协议紧密相关,导致验证环境通用性差。

3 验证平台技术的发展

为了适应不断增长的FPGA设计规模和复杂度的要求,硬件验证语言、各种新的验证方法和验证方法学应运而生,验证平台逐渐开始采用专门的硬件验证语言进行编写,结合多种验证方法实现,并采用相应的验证方法学作为指导原则。

验证方法大致包括:定向测试用例生成方法,带约束的随机验证方法^[1],基于事务的验证方法^[2],覆盖率驱动的验证方法^[1],基于断言的验证方法^[1]等。这些验证方法有助于缩短验证时间,重用验证平台模块,提高验证可观察性可控性。

验证方法学是以验证方法为基础,在相应工具和验证语言的支持下,提供模块级或系统级的验证解决方案。五种验证方法学比较结果如表1所示。

平台包括五层结构和主控制文件。

(1) 测试层

该层抽象级别最高,主要包括文本测试用例文件(testcase.dat)。

(2) 场景层

场景是指对DUT端口上一组相关信号进行组合,表达一个确定含义,如CPU对外设的写操作等。场景由产生器(Generator和GeneratorBase)产生的数据结构(CPU-Packet和IO-Packet)来表示。该层的特点是所有场景都是静态的,在仿真0时刻产生,并且不与DUT端口信号直接相连^[5-6]。

(3) 功能层

功能层和指令层负责对场景层产生的静态场景进行动态驱动,仿真时间向前推进,将数据结构中的信号值最终传送到DUT端口上。

功能层包括不与DUT实际端口相连接的驱动器(DriverBase)、接收器(ReceiverBase)和自比对模块(Scoreboard和ScoreboardBase)。在该层中,主要

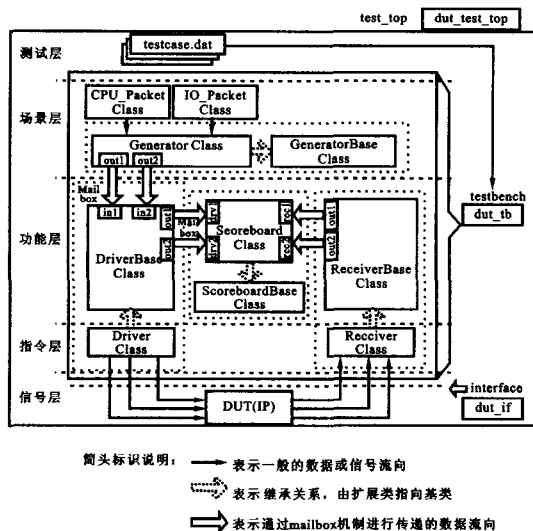


图2 层次化通用验证平台实现框图

完成数据自动比对功能,并且与 DUT 类型无关.采用自比对模块,仿真时期可不再存储波形文件,节省仿真资源,提高仿真器运行速度.

(4) 指令层

指令层主要包括与 DUT 实际端口相连接的驱动器(Driver)和接收器(Receiver)部分.在该层中,驱动器和接收器调用功能层中各基类接口进行相应的扩展,动态的向 DUT 直接驱动测试激励并从 DUT 输出端进行动态接收,由于该层与 DUT 实际端口相连,因此抽象级别较低.

(5) 信号层

信号层主要包括 DUT 本身,以及和 DUT 相关的一些其他功能模块.

(6) 主控制文件

主控制文件(dut_test_top、dut_tb、dut_if)的作用是控制和协调验证平台中各层模块的工作,使其有效完成整个验证过程.用户只需对主控制文件进行相应配置,即可在不同 DUT 之间实现通用.

4.2 统一测试用例格式

将测试用例文件用单独的格式存放,并与验证平台分开,这样可以增强验证平台的可重用性和易维护性等^[7].

CPU 的外设接口通常包含地址线、数据线和控制线三类,对这一类接口相关的 DUT 进行操作一般包含复位、读/写操作等.对测试用例中测试激励的编写格式进行统一,用户根据格式要求并结合 DUT 的功能来编写文本文件,就可完成测试用例的开发.

测试用例由主控制文件将 testcase 内容读入 32 位宽的二维数组 read_test_file 中.其基本格式及

含义如图 3 所示.

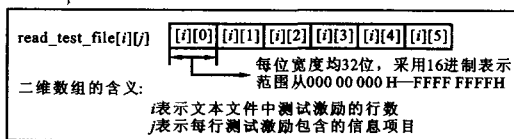


图3 read_test_file 基本格式及含义

每行测试激励 read_test_file[i][j] 自左向右包含六项信息:片选信号、复位信号、地址信号、读/写信号、定值数据或随机值、DUT 类型.它们组成的测试激励命令主要包括五种:复位命令、CPU 写入定值命令、CPU 写入随机值命令、CPU 读命令和空闲状态命令.其中以 CPU 写入随机值命令为例,图 4 所示为其命令格式,如“0 1 00000004 0 X 1”,表示 CPU 向 GPIO 的发送数据寄存器中写入要输出的并行随机数据.

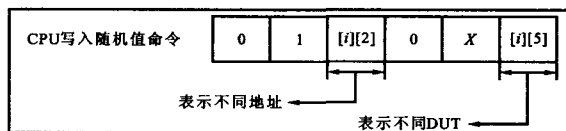


图4 CPU 写入随机值命令格式

对以上五种命令进行组合使用即可实现对不同 DUT 不同功能测试用例的编写.

4.3 提取通用基类

验证平台中有相当一部分工作与处理器输入信号相关,而针对同一处理器的输入信号的时序是已经确定的.因此,采用面向对象思想,将这一部分与处理器输入信号相关的固定操作和数据结构提取到通用的基类中,以避免用户使用平台时对其进行错误修改.基类可形成通用有效的 VIP (Verification IP),VIP 的使用^[8]可以有效的缩短验证时间,提高验证效率.

在该平台的场景层和功能层一共提取出四个基类,分别是 GeneratorBase、DriverBase、ReceiverBase 和 ScoreboardBase.这些基类给扩展类仅提供一个使用的黑盒接口,在更换 DUT 时,利用基类提供的接口函数,能够迅速形成新的扩展类.

5 平台的通用性验证

选取 Gaisler 商业 IP 核 GPIO 和 UART 作为验证对象,使用该通用验证平台对他们分别进行验证,均记录了正确的数据比对结果.

对 Gaisler^[9]的验证程序(采用传统功能仿真验证方法)和本文实现的通用验证平台进行覆盖率和仿真周期数的统计,比较结果如表 2 所示.

表2 传统功能仿真验证和通用验证平台比较

覆盖率 和周期数	传统功能仿真验证		本文通用验证平台	
	GPIO	UART	GPIO	UART
代码覆盖率/%	68.42	83.62	100	98.98
条件覆盖率/%	49.41	50.63	100	93.67
分支覆盖率/%	50.82	64.52	99.21	96.87
功能覆盖率/%	不可收集	不可收集	100	100
仿真周期数	约 29 600	约 50 758	约 13 200	约 27 750

结果表明,文中设计验证平台具有一定的通用性,比传统功能仿真验证提高大约 50% 的时间效率,并可有效的提高验证覆盖率。

6 结束语

文中针对传统功能仿真验证中存在的问题,从验证方法和方法学角度研究了验证平台的发展,基于 VMM 验证方法学,利用 SystemVerilog 语言和面向对象思想实现了一个层次化的验证平台,利用该平台对两个 DUT 进行了验证。结果表明,该方法建立起的验证平台具备一定的通用性,显著提高了 FPGA 验证覆盖率以及约 50% 的验证效率。

参考文献:

- [1] Janick Bergeron, Andrew Nightingale. Verification methodology manual for system verilog[M]. New York: Springer Science + Business Media, Inc. 2006.
- [2] 王旭姣,梁利平. 一种基于事务的 IP 功能验证环境[J]. 微电子学与计算机,2007,24(7): 27-30.
- [3] Synopsys, Inc. Reference verification methodology user guide version 8.6 [EB/OL]. [2008-03-18]. <http://www.synopsys.com/>.
- [4] Mark Glasser. Advanced verification methodology cookbook version 2.0 [EB/OL]. [2006-07-24]. Mentor Graphics Corporation. <http://www.mentor.com/>.
- [5] Cadence Design Systems, Inc. The unified verification methodology white paper [EB/OL]. [2005-02-01]. <http://www.cadence.com/>.
- [6] James Colgan. Open verification methodology relieves inefficiencies [EB/OL]. [2007-09-07]. <http://electronidesign.com/Articles>.
- [7] Tony Tsai. Techniques for selective reuse of verification components in hierarchical verification of large designs [C]// SNUG(Synopsys Users Group). San Jose, 2008.
- [8] Bernd Stöhr, Michael Simmons, Joachim Geishauser. FlexBench: reuse of verification IP to increase productivity [C]// Proceedings of the 2002 Design, Automation and Test in Europe Conference and Exhibition. Germany, 2002.
- [9] Jiri Gaisler, Edvin Catovic, Marko Isomäki, et al. GRLIB IP core user's manual version 1.0.19 [EB/OL]. [2008-10-11]. <http://www.gaisler.com/>

作者简介:

吕欣欣 女,(1985-),硕士研究生.研究方向为星载计算机。

刘淑芬 女,(1961-),研究员.研究方向为星载计算机。

(上接第 45 页)

- [7] Sathe S, Wiklund D, Liu D. Design of a guaranteed throughput router for on-chip networks [C]// Proceedings of International Symposium on System-on-Chip. Sweden, 2004: 25-28.
- [8] 王高才,陈建二,陈松乔,等. Mesh 网络路由算法容错性的概率分析[J]. 计算机学报,2004,27(3):319-327.

- [9] 杨晓强,高晔. NoC 系统设计的研究[J]. 微电子学与计算机,2008,25(7):176-179.

作者简介:

万玉鹏 男,(1984-),硕士研究生.研究方向为集成电路设计和片上网络。

吴宁 女,(1956-),博士生导师.研究方向为数字理论与技术、电子系统集成、专用集成电路设计等。